

一种基于层次式 FPGA 的扩展布线算法

李晓磊, 张梅娟, 于大鑫, 徐彦峰

(中国电子科技集团第 58 研究所, 江苏 无锡 214035)

摘 要: 实现了一种基于 Virtex 架构的 FPGA 芯片, 测试其单长线及直连开关连通情况的布线算法; 巧妙地利用了 FPGA 结构层次化这一特点, 采用轮回行布线整体扩展的方法进行布线, 布线过程中, 利用整体分组、多点布线、综合评优等多套策略, 有效降低了后期资源冲突几率和回退率, 极大地提高了布线质量和布线效率; 拆除重布的过程又采用部分而非整体拆除的机制, 大大减少了拆线数量, 显著提高了运行速度; 实验结果表明, 本算法具有布线效率高、单长线资源覆盖率高、故障定位准确率高等优势。

关键词: 层次化; 扩展; 整体分组; 多点布线; 综合评优; 拆除重布

中图分类号: TN47

文献标识码: A

文章编号: 1000-7180(2012)06-0037-05

An Expanding Routing Algorithm Based on Hierarchical FPGA

LI Xiao-lei, ZHANG Mei-juan, YU Da-xin, XU Yan-feng

(CETC58, Wuxi 214122, China)

Abstract: This paper implements a routing algorithm, based on a FPGA chip of Virtex architecture, which testing the single long wire and the connected condition of directly connected switch. Taking use of the hierarchical features of FPGA cleverly and using the method of overall expanding and cycle routing by line for routing. In the process of routing, taking use of several strategies, such as the whole group, multiple points routing, and comprehensive appraisal etc., reducing the probability of the post resources conflict and the back rate effectively, enhancing the quality and efficiency of cabling greatly. In the process of demolishing and re-routing, taking partial, instead of integral demolition mechanism, greatly reduce the number of the lines that will be demolished, can greatly improve the speed. The experimental results show that this algorithm has advantages of high efficiency in the wiring, high rate in the coverage of single long wire resources, and high accuracy in fault location etc.

Key words: hierarchical; expansion; multiple points routing; comprehensive appraisal; demolish and re-routing

1 引言

基于 Virtex 架构的 FPGA 芯片是一种布线资源数量庞大、种类繁多、可重复编程的超大规模集成电路芯片, 在实际应用中, 故障发生于互连资源的概率远大于其他逻辑功能的概率。因此, 如何快速有效地对 FPGA 芯片单长线及其开关的连接情况进行测试, 并及时有效地对故障进行发现定位和解决, 对 FPGA 产品的测试与应用意义重大。

这里采用了一种基于 Virtex 架构的 FPGA 芯片的测试方法^[1], 仅用四次配置就能完成对单长线

及其直连开关的测试, 且故障覆盖率可达 100%; 然而在该测试方法进行实施验证的过程中由于人工费力费时效率低以及机时有限且昂贵的原因, 需要一种更高效的布线方法来进行快速的资源配置和有效配置资源图生成以进行无间断测试, 由此便产生了该种测试 FPGA 单长线及直连开关的扩展布线算法的想法^[2]。

本文所研究的重点在于实现了一种基于 Virtex 架构的 FPGA 芯片^[3], 测试其单长线及直连开关连通情况的布线算法, 在分析现代商用 FPGA 层次化结构^[4]的基础上, 提出一种基于布通率的高效布线

算法,并能将结果导出为 Xilinx 规范的 XDL 格式文件,进而通过 XDL 工具将 XDL 转化为 NCD 网表进行结果验证。

2 资源等价描述

在设计 FPGA 布线算法前期,算法设计者需要从 FPGA 硬件设计者手中获取该芯片的结构描述文件,并对文件中所描述的硬件结构及连接关系进行逻辑等价、逻辑抽象,并将中间结果存入数据库,以便在后续搜索路径的过程中依据该结果进行 FPGA 结构的重建,得到计算机可以识别的单元、图或树的结构,完成整个芯片的布线流程。

随着 FPGA 阵列规模及布线资源的不断扩大,最新的 FPGA 均采用层次化结构。下面以 Xilinx 公司的 Virtex 系列芯片为例子。对硬件资源结构作简单的等价描述,资源抽象,进而搭建一个包含逻辑单元块、端口、线型及连接关系的基础数据库^[5]。

Virtex 系列芯片的逻辑功能块包括 CLB、IOB、BRAM 等,并都连接到各自相同的全局布线矩阵 GRM,再通过 GRM 连接到全局互联资源。一个基本 Tile 结构由基本逻辑单元 CLB、输入选择矩阵 IMUX、输出选择矩阵 OMUX 和线网切换矩阵 GRM 组成,还包含单长线、六长线、长线等布线资源。

对于 IMUX、OMUX、GRM 中连接线之间驱动方式的描述,按照 Xilinx 的描述方式进行描述,具体可分为:==、=>、=-、->。

在对各种资源进行描述时,采取方法如下:

(1) 描述各个逻辑块的输入、输出引脚的连接度,与硬件描述文件一致;

(2) 描述单长线、六长线、长线等布线资源;

(3) 对逻辑单元进行描述,包括逻辑块引脚描述和连接到通道的布线资源描述;

(4) 对其他布线资源的描述均需采用完全描述或者在算法中做相应的假设。

通过该种描述方式进行资源抽取和等价后,分别按照不同线型及线型间关系、单元块、驱动方式、端口等分别建立表结构存储描述结果,为后续线网搜索打下基础。

3 测试配置方法

本算法依据的设计模型和理论基础,即配置完成 FPGA 芯片单长线及其直连开关的布线方法详见文献^[1]。

4 算法理论前提

FPGA 软件流程一般包括设计输入、逻辑综合、功能仿真、映射、布局、布线、时序验证、编程下载等。布线阶段就是实现 CLB 之间的连线,确定哪些编程点接通而哪些不接通;布线要求百分之百的布通率,否则即为失败。FPGA 布线一般面向的都是多线网布线^[6]问题,在对多端线网进行布线的时候,实际上是将多端线网分成多个两端线网依次布线,线网表现为一种连接关系,不同逻辑单元的引脚连接在一起构成一条线网。在布线模块中,依据逻辑功能块和逻辑连接关系的基础数据库,采用宽度优先搜索算法对每一条线网进行梳理,线网从输出点开始向外扩展直到找到目标节点,并最终形成布线资源图。

在基础数据库搭建完成后,我们需要对搜索算法的基本概念作一了解,依据设计模型,在 24 根 D0 信号进入第一组 CLB 后,需要分别连接到水平或者垂直的单长线连接点上,接着 CLB 的输出线通过 GRM 的内部互连线连接到外部资源,然后通过下一组的 CLB 的内部互连线连接到 CLB,形成完整的单条线网;在整个过程中,最重要的有两个环节,一个是从 CLB 引出线网的过程,一个是在 CLB 中结束线网的过程;这两个过程,这里我分别称作为链路头布线和链路尾布线(如图 1 所示),剩下的从 CLB 单元横穿的部分我称之为链路体,最后,我们将链路头、链路体和链路尾拼接形成整条线网;行首/尾采用蛇形布线方式连接。

本算法采用轮回行扩展模式布线,首先将整个芯片结构按轮回行模式进行划分,接着按照一定算法完成轮回行布线,由于是多线网问题,所以算法实际包含两个部分:单线网布线和整体布线。前者采用宽度优先搜索算法完成对单线网布线,后者在调用前者的基础上通过综合选优完成所有线网布线。在整个布线过程中,为了对线网进行调整,我们采用了回退、拆除重布等方式,重新对组合分组调整或者改变线网顺序,降低线序对布线质量的影响;为了降低后期布线的回退率,我们设置了综合评优函数及其它一整套布线策略,对后续未布线网的走向和需求进行预估和判断,行之有效地降低了后期资源冲突和拥挤,保证了布通率。完成轮回行布线后,再依据奇数行和偶数行相照应的原则进行扩展,最终完成整个芯片的布线。

在依据宽度优先算法对单线网布线的过程中,由于不考虑驱动和时延等因素的影响,搜索链长是

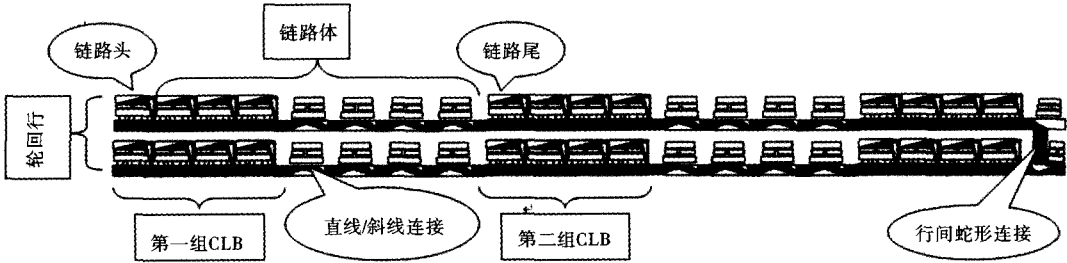


图 1 算法涉及基本概念图

无节制增长的,为了控制增长,控制算法的复杂度,这里需要引入最大链长的概念,以限定单条链路的搜索长度,使 CLB 内部单链长搜索的最大长度不能超过设置的最大链长值,这里我们控制的最大链长值为 10,初始化为 5,后期在搜索失败的情况下将逐

步放宽该初始化值至最大值,直至布线完成.

5 算法流程

本算法的大致整体流程如图 2 所示.

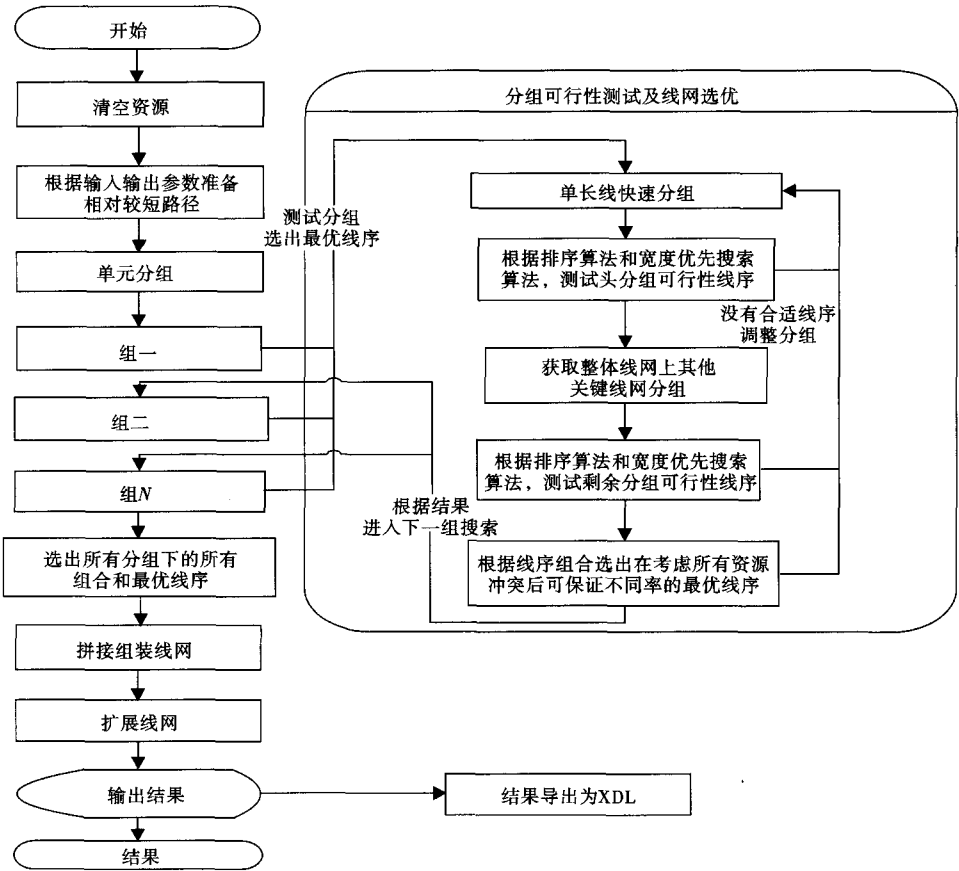


图 2 算法流程图

6 算法实现

上面我们简要说明了什么是轮回行、链路的组装、算法的搜索核心等,接下来详细介绍算法搜索步骤、规则及关键环节等,比如如何快速分组,如何线路预估和选优,如何判断回退并设置回退点,如何撕裂重布,如何扩展等,直至导出为 XDL 文件^[7].

(1) 设置轮回行

由于 FPGA 结构为层次化对称式结构,经研究发现,前两行已基本具备了整个 FPGA 结构的特征,如 CLB 内部布线,换行布线,链路体组装,水平单长/六长线的占用排除等;唯一要解决的就是垂直六长在后期布线的资源冲突问题(由于仅为了测试单长线开关的连通性,所以排除了长线资源),只要

解决了该问题轮回行的条件就能满足;办法有两种:

①后续行依次进行组合调整;②在前两行就排除掉可能引起冲突的占用点;第一种方法可行但相对耗时,第二种方法在考虑到六长线的隔 6 进入 CLB 的特点,那么可能引起冲突的后续奇数行仍然对应奇数行,偶数行对应偶数行,所以只要保证自身 S、N 的对应数字不同时存在相同值就可以了;在分析完可行性之后,我们决定采用效率较高的第二种方法。

(2) 快速分组

在轮回行设定完成之后,首先要面对的就是分组;分组有两种:第一种是 CLB 分组,目的是为了便于组间回退、线网拼接及多点布线;第二种是水平单长线分组,目的是为了便于控制线序和选取最优;CLB 分组相对简单,分组的大小和个数依据芯片的宽度、输入节点个数等通过一定的公式计算得来,这里我们要求输入点的个数必须被 24 整除且商为偶数,我以 6 作为输入点个数,那么分组的大小为 4;单长线分组相对要复杂点,由于输入点和输出点的一一对应性,所以在选取了输入点的线序后就基本确定了链路尾的线序,那么如何给水平单长线输入点分组和线网排序就显得至关重要了。

(3) 线序预估

考虑到水平单长线的每种组合都有同等的可布通性,这里采用了常规全组合的办法;根据组合算法,选取第一组 CLB 分组连接点,然后依据整体获取轮回行所有 CLB 分组连接点,并进行分组测试验证,测试该分组是否合适,是否可以选出最优线序,如不合适则快速调整分组;测试的方法就是搜索并选取最大链长下的所有可能线网,如能布通则表示该分组暂时可行,否则调整分组继续测试直至可行,然后分别记录第一组、第二组、第三组的组合序号以便在后续回退时调整该序号选出相应分组。这个过程我称之为布线预估阶段,开始布线前先对组合的可布通性进行预估,这样将显著降低后期回退率,有效提高布通率和布线效率。

(4) 多点布线

多点布线是在整体布线前,对多个分组关键点同时进行预估和布线,这里提到的多点是轮回行在 CLB 分组后具有相同组内序号的关键布线单元;通过对水平单长线分组的连通情况进行线序预估后,然后再对这些预估的线序进行拼接,拼接的过程中再一次判断线序的优劣,对劣质线序进行过滤,选出最优线序组合并记录序号,以便在后期布线过程中快速的找到最优线序。

(5) 二次过滤

如果确定前两行所有 CLB 分组均测试可行的话,接下来则需要考虑二次过滤问题,即单元间占用冲突问题,包括水平六长占用和垂直单长占用等;由于冲突是相互的,那么调整谁改变谁呢?在 CLB 分组后,每组的 CLB 我按照先后给定了序号,第一行按从左至右排序,第二行从右至左排序,每组都从 1 开始。如分组大小为 4,则第一行第一组为 CLB1_R1C1、CLB2_R1C2、CLB3_R1C3、CLB4_R1C4,第二行第一组为 CLB1_R2C96、CLB2_R2C95、CLB3_R2C94、CLB4_R2C93,由于第一行的 CLB1、CLB2、CLB3、CLB4 分别和第二行的 CLB4、CLB3、CLB2、CLB1 一一对应,这里我们固定 CLB1 和 CLB2,分别调整 CLB3 和 CLB4,在选取 CLB3 和 CLB4 的过程中过滤行间单长线冲突;当 CLB 的横穿单元大于 6 时,则不考虑水平六长占用冲突,如果小于 6 则需要在排除完行间冲突后再进行水平六长占用的排除;由于选取 CLB1 和 CLB2 的结果直接影响到 CLB3 和 CLB4 的分组和选优,所以在选取 CLB1 和 CLB2 过程中需要对结果进行判优,那么如何选取最优呢?

(6) 线序选优

在线序预估阶段,为了判断水平单长线组合的可行性,我们采用了全排列算法依次对线序进行预估,并依次记录可行线序;前期线序的选取直接影响后续线序的选取,特别是 CLB1 和 CLB2 分组的线序选取,为了给这些线序评优,这里我们引入评分机制,对每组可行线序依据总链长、单链长、底部顶部占用、稀缺资源占用等因素进行打分,按照分值越高越优秀的原则对所有线网排序,这个综合评优的过程还要兼顾链路头和链路尾的总分值进行。

(7) 回退判定

在分组、选优和排除冲突的过程中随时都有布不通的可能性,那么在这种情况下发生时,需要考虑回退和拆除重布,把搜索节点从当前点回退到回退点,并拆除这之间的已布线网;那么何时需要回退,以及如何确定回退位置呢?

在线序预估阶段,我们记录了关键单元下所有可行的排序索引值,当在失败单元重试完所有的排序索引值都没有选出最优线序时,即需要回退;关于回退位置,我认为有两个,第一个:上级 CLB 单元,因为上一个具有相同最内序号的 CLB 单元直接影响该失败单元的选取,比如第四组的 CLB1 受第三组的 CLB1 的影响。第二个:顶部单元,因为顶部占

用直接影响了底部单元的线序选取;在回退到顶部单元前,我们还需要记录该单元的原始占用,在重新选取线序后,将更新过的占用与原始占用比对,做出合理判断,选择影响最小的优秀线序,使后布的线网更容易布通;回退到回退点后,我们调整该单元的排序索引值并重试,若成功则从调整点顺序布下去,若失败则同样先是回退到上级分组单元,再回退到顶部单元,依次循环直至第一行的某个单元,仍然失败则对具有相同 CLB 组内序号的单元进行分组调整并重试.当重试完所有分组仍无法布通时,我们将逐步放宽搜索的最短路径长度的限制,从 5 到 10 直至成功.

(8) 拆除重布

关于拆除和重布;在回退过程中,我们对部分已布线网采取拆除策略,这里讲的拆除并非完全整个布线的拆除,仅是对从当前单元到回退单元之间的已布线网进行拆除;重布前,我们需要对因资源冲突造成布线失败的原因进行综合分析;在重布的过程中,我们采用失败的线网优先,被拆线网靠后的原则进行线网资源重建.由于拆除重布过程没有拆掉所有线网,所以能够有效减少拆线资源量,节省运行时间,提高整体布线效率.

(9) 结果扩展

在前两行布线成功的前提下,我们把前两行搜索成功的经验按照奇偶对应原则扩展至整个芯片所有行,并把结构数据往资源图方面进行转化,依据 XDL 要求的 PIP、NET、INST、INPIN、OUTPIN 等标准形式进行格式化,并依次应用到所有行和列.

(10) XDL 生成

由于格式化后的数据已经符合了 XDL 的规范,所以可直接将结果导出为 XDL 格式文件,再利用 Xilinx 公司 ISE 工具下的 XDL 命令,将已包含了所有资源的配置信息和线网信息的 XDL 文件转化为 NCD 网表进行结果验证.网表大致如图 3 所示.

7 结束语

本算法是一个能充分实现用户提出的各种过滤条件的布线算法,它优越的整体分组、多点布线和评优函数的设计能更好地考虑后续未布线网的需求和走向,极大地提高了布线质量^[8]、布通率以及布线效率;此外,本算法对单长线及直连开关的资源覆盖率高,且具有配置简单以及与具体硬件结构无关等优点;该算法的实施能减少人工布线工作量,节约测试成本,提高测试效率,缩短测试周期,极大地增强了

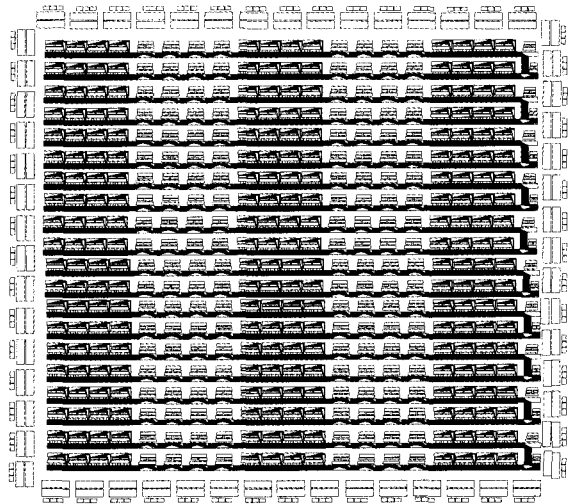


图3 结果模型图

自动化布线和测试能力,降低开发风险,具有一定的应用和参考价值.

参考文献:

- [1] 李晓磊,徐彦峰,于大鑫,等.一种FPGA单长线及其直连开关的测试方法[P].中国专利:2011120100769520,2011-12-5.
- [2] Lai Y T, Wang P T, Hierarchical interconnection structures for field programmable gate arrays[J]. IEEE Transactions on Very Large Scale Integration (VLSI) Systems, 1997, 5 (2):4.
- [3] 周峰,童家榕,唐璞山.带时延约束的FPGA布局算法[J].半导体学报,1999,20(9):26.
- [4] 周强,张星星,蔡懿慈.层次式FPGA快速可布性布线算法[J].计算机辅助设计与图形学学报,2010,22(4)32.
- [5] 刘战,须自明,王国章,等.一种基于迷宫算法的有效FPGA布法[J].微计算机信息,2007,(23):18.
- [6] 古海云,孙大有,多片FPGA系统互连结构研究[J].微电子学与计算机,2003,20(8):29.
- [7] 唐璞山,VLSI计算机辅助设计理论和方法[M].上海:复旦大学出版社,1990.
- [8] 冯志全,樊晓桢,一种以时延均衡为优化目标的全局布线算法[J].微电子学与计算机,1997,14(1):19.

作者简介:

李晓磊 男,(1983—),工程师.研究方向为FPGA软件系统开发.

张梅娟 女,(1982—),硕士,工程师.研究方向为嵌入式系统软件开发.

于大鑫 男,高级工程师.研究方向为大规模集成电路测试方面的工作;

徐彦峰 男,高级工程师.研究方向为大规模集成电路设计.